

Державний вищий навчальний заклад
«Донецький національний технічний університет»
Кафедра комп'ютерної інженерії

«ЗАТВЕРДЖУЮ»
Проректор з наукової роботи
С. О. Башков
«» 2018 р.

РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

ДВВ 1.2 АПАРАТНО-ПРОГРАМНІ РІШЕННЯ НА ОСНОВІ ПЛІС РІЗНИХ ТИПІВ

Рівень освіти: **третій** (освітньо-науковий)

Спеціальність (ості) **123 - Комп'ютерна інженерія**

Мова навчання: українська

Робоча програма навчальної дисципліни

Апаратно-програмні рішення на основі ПЛС різних типів

для аспірантів за спеціальністю **123 Комп'ютерна інженерія**

«29» 08 2018 року. – 8 с.

Розробники: (вказати авторів, їхні наукові ступені, вчені звання та посади).

Цололо С.О., к.т.н., доцент, доцент кафедри КІ

Робоча програма затверджена на засіданні кафедри **комп'ютерної інженерії**

Протокол № 1 від. «29» 08 2018р.

Завідувач кафедрою **комп'ютерної інженерії**



(підпис)

В.А. Святний

(прізвище та ініціали)

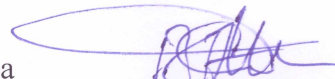
«29» 08 2018р

Схвалено науково-методичною комісією НМК 123, за (спеціальністю)

«Комп'ютерна інженерія»

(шифр, назва)

Протокол № 1 від. «30» 08 2018р.



(підпис)

Святний В.А.

(прізвище та ініціали)

«30» 08 2019р. Голова

1. Загальна інформація

Статус	Вибіркова	
Обсяг в кредитах ЄКТС	6	
Обсяг в годинах за навчальним планом, разом: в тому числі:	180	
	Денна	Заочна
лекції:	32	16
практичні заняття:	16	8
лабораторні заняття:		
семінари:		
самостійна робота:	132	156
Форма підсумкового контролю	Залік	

Передумови для вивчення дисципліни:

Для успішного оволодіння дисципліною «Апаратно-програмні рішення на основі ПЛІС різних типів» необхідно вільне володіння знаннями з дисциплін «Іноземна мова для наукового та ділового спілкування» та «Архітектури і ПЗ паралельних обчислювальних систем». Дисципліна забезпечує ознайомлення із повним циклом проектування, моделювання, реалізації та тестування проекту пристрою на основі мікросхем одного з сучасних типів ПЛІС.

2. Мета вивчення навчальної дисципліни

Дисципліна «Апаратно-програмні рішення на основі ПЛІС різних типів» є компонентом фундаментальної підготовки обов'язкової частині освітньої програми підготовки докторів філософії за спеціальністю 123 Комп'ютерна інженерія.

Метою дисципліни є формування знань та вмінь щодо реалізації апаратно-програмні рішення на основі ПЛІС різних типів. Під час вивчення теоретичного матеріалу та проведення практичних занять аспірант проходить скрізь усі етапи розробки типового програмованого пристрою. Призначення пристрою може бути пов'язане із тематикою дисертаційної роботи або мати характер проміжного етапу і бути направлене на проведення експериментальних досліджень, часткової реалізації апаратної складової дисертаційної роботи тощо.

Компетентності:

ФК 4. Здібність до вирішення завдань апаратно-програмних інноваційних проєктів методами теорії обчислювальних систем, готовність до професійних досліджень у комп'ютерній інженерії

ФК 5. Здатність застосовувати сучасні програмні продукти для вирішення науково-професійних задач

ФК 8. Вміння формувати нові підходи у вирішенні завдань наукових досліджень в розробках елементної бази та архітектур засобів обчислювальної техніки.

Програмні результати навчання:

ПРН7. Знати та розуміти сучасні методи проведення наукових досліджень в ІТ-галузі і, зокрема, в комп'ютерній інженерії.

ПРН9. Здатність до вирішення професійних завдань сучасними методами наукових досліджень у комп'ютерній інженерії та готовність до здійснення професійних досліджень в обчислювальній техніці

ПРН15. Вміти виконувати експериментальні дослідження на сучасних приладах і обладнанні для діагностики і тестування апаратно-програмних проєктів із дотриманням вимог теорії похибок; досліджувати побудовані засоби на відповідність вимогам технічних завдань

3. Очікувані результати навчання

В результаті вивчення дисципліни аспірант повинен

ЗНАТИ:

- загальні принципи управління проектами розробки програмованих пристроїв;
- основні елементи специфікації проекту пристрою;
- засоби початкового моделювання системи;
- критерії оцінки необхідних ресурсів та вибору базису;
- принципи проектування загального проекту плати пристрою;
- критерії аналізу живлення та теплового проекту;
- побудову проекту на рівні передачі регістрів;
- особливості реалізації проектів для вбудованих пристроїв;
- загальні принципи функціональної верифікації та моделювання на рівні вентилів;
- оцінювати часові параметри та проводити налагоджування проекту.

ВМІТИ:

- визначати специфікацію проекту програмованого пристрою;
- розробляти HDL-проект програмованого пристрою;
- виконувати поведінкове моделювання проекту;
- проводити оцінку необхідних ресурсів, обирати спеціалізовані блоки та можливість повторного використати вже реалізовані проекти;
- правильно обирати базис реалізації програмованого пристрою відповідно до вимог проекту;
- виконувати синтез проекту, оцінювати результати синтезу, проводити проміжне тестування;
- виконувати імплементацію проекту та оцінювати її результат;
- проводити підсумковий контроль часових параметрів та кінцеве тестування

4. Засоби діагностики результатів навчання

Під час викладання дисципліни «**Апаратно-програмні рішення на основі ПЛІС різних типів**» використовуються наступні засоби діагностики.

- Поточний контроль знань під час виконання практичних робіт: усне опитування аспірантів за основними питаннями, контроль результативності виконання практичних завдань за темою заняття.
- Оцінка оцінки контрольного заходу у формі заліку.

5. Критерії оцінювання результатів навчання

Загальний принцип оцінювання **підсумкових знань** аспіранта з курсу «**Апаратно-програмні рішення на основі ПЛІС різних типів**» полягає в оцінці поточної практичної роботи аспіранта у навчальному семестрі на практичних роботах та оцінки контрольного заходу у формі заліку, у результаті котрих аспірант має сумарну оцінку в балах.

6. Програма навчальної дисципліни

6.1. Основні теми дисципліни

Тема 1. Управління проектами розробки програмованих пристроїв

роль управління проектами, етапи управління проектами, оцінка тривалості проекту, графік проектування

Тема 2. Специфікація проекту пристрою

специфікація дизайну, функціональна специфікація високого рівня, специфікація функціонального дизайну

Тема 3. Початкове моделювання системи

визначення моделювання системи, класи класів моделей в SystemC, розробка програмного забезпечення з використанням віртуальних моделей, основи SystemC, порти, процес, набори тестів SystemC

Тема 4. Оцінка необхідних ресурсів

інженерні ресурси, спеціалізовані модулі сторонніх розробників, вибір пристрою, особливості апаратної реалізації, апаратна щільність, вимоги до швидкості, контактів, потужності

Тема 5. Середовище розробки проекту

середовище сценаріїв, взаємодія з програмним забезпеченням для управління версіями, використання системи відстеження неполадок, система тестування регресії, загальні інструменти в середовищі дизайну FPGA, синтез високого рівня

Тема 6. Загальний проект плати

Інженерні ролі та обов'язки, інженери FPGA, інженер проектування плати, інженер цілісності сигналів, теплові параметри, параметри живлення, цілісність сигналу, типи проблем з цілісністю сигналу, електромагнітні перешкоди, проектні засоби для розподілу контактів FPGA

Тема 7. Аналіз живлення та теплового проекту

статична потужність, динамічна потужність, потужність вводу/виводу, потужність конфігурації, основні чинники точної оцінки потужності, точні моделі потужності схеми FPGA, точні дані про швидкість перемикавання на кожен сигнал, оцінка потужності на основі моделювання

Тема 8. Командний процес проектування

рекомендований проектний командний процес, створення проекту верхнього рівня, розбиття дизайну, часові вимоги, розділення за блоками, фізичні шари, дизайн розміщення та трасування, контрольний список для командного процесу

Тема 9. RTL-проект

рекомендовані принципи проектування FPGA, глобальні сигнали, виділені блоки обладнання, ефективне написання коду HDL, рекомендована конвенція про іменування сигналів, ієрархія та розділення дизайну, повторне використання дизайну, методи скорочення часу циклу проектування, стилі кодування RTL

Тема 10. Повторне використання спеціалізованих блоків та проектів

потреба та переваги повторного використання спеціалізованих блоків, проблеми в розробці методології повторного використання дизайну, архітектура багаторазового використання спеціалізованих блоків, методи впровадження, використання стандартних інтерфейсів, пакування блоків, сумісність із інструментами системної інтеграції, формати файлів інтеграції спеціалізованих блоків

Тема 11. Проект для вбудованих пристроїв

Визначення проекту для вбудованих пристроїв, переваги FPGA для вбудованих пристроїв, вбудований дизайн апаратного забезпечення (шини, арбітражні схеми шини, перевірка апаратного забезпечення за допомогою моделювання), визначення карти адреси, програмного інтерфейсу

Тема 12. Функціональна верифікація

проблеми функціональної верифікації, моделювання рівня вентилів, методологія верифікації, функціональне покриття, спрямоване тестування, випадкове динамічне моделювання, обмежені випадкові тести, використання SystemVerilog для проектування та перевірки, загальні методи тестового стенду, перевірка формальної еквівалентності

Тема 13. Часова відповідність

проблема часової відповідності, важливість відповідності часу та аналізу проміжків часу, основи аналізу таймінгу, методологія успішного аналізу часової відповідності, планування дизайну, рання оцінка часу, налаштування інструментів САПР, звіти компіляції та інструменти аналізу, інструменти планування розміщення

Тема 14. Верхній рівень проекту

особливості верхнього рівня, алгоритмічний синтез, обмеження при переході від "C" до вентилів, особливості SystemC, OpenCL, моделі, ядра та пам'ять OpenCL,

Тема 15. Налагодження проекту

проблеми налагодження в складі системі, план налагодження, використання контактів для налагодження, зовнішній логічний аналізатор, внутрішній логічний аналізатор, використання логіки налагодження, редагування вмісту пам'яті, налагодження інтерфейсів приймача, звіт про продуктивність системи, налагодження програмних процесорів

Тема 16. Завершення та передача проекту

відомі помилки, вимоги до термінів із специфікації, функціонального покриття, цільового покриття коду, повне екологічне тестування, підтримка після підписання

6.2. Теми практичних занять

№ з/п	Назва теми
1	Специфікація проекту пристрою
2	Розробка HDL-проекту та поведінкове моделювання
3	Оцінка необхідних ресурсів та вибір базису
4	Синтез проекту та оцінка результатів
5	Імплементация проекту оцінка результатів
6	Контроль часових параметрів та кінцеве тестування

6.3. Теми лабораторних занять

Немає

6.4. Індивідуальні та/або групові завдання

Немає

7. Література

7.1. Основна

1. Barkalov A.A. Synthesis of operational and control automata / A.A. Barkalov, L.A. Titarenko. – Donetsk: DonNTU, TechPark DonNTU UNITECH, 2009. – 256 pp.
2. Баркалов А.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС / А.А. Баркалов, Л.А. Титаренко. – Донецк: ДонНТУ, Технопарк ДонНТУ УНИТЕХ, 2009. – 336 с.
3. Baranjv S. Logic and System Design of Digitalm Systems. – Tallinn:TUT Press. – 2008.
4. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах / А.А. Баркалов. – Донецк: ДонНТУ, 2002. – 262 с.
5. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца / К. Максфилд. – М.: Издательский дом «Додэка-XXI», 2007. – 408 с.
6. Grout I. Digital systems design with FPGAs / I. Grout. – Elsevier, 2008. – 724 pp.
7. Zeidman B. Designing with FPGAs and CPLDs / B. Zeidman. – Elsevier, 2002. – 224 pp.
8. Moreira, R. Reis // Technical Report Series: DCC-2007-03. – 2007. – 12 pp.
9. De Micheli G. KISS: a program for optimal state assignment of finite state machines / G. De Micheli, R. Brayton, A. Sangiovanni-Vincentelli // Proceedings of IEEE International Conference of Computer-Aided Design. – Santa Clara, 1984. – pp. 209-211.
10. El-Maleh A. Finite state machine state assignment for area and power minimization / A. El-Maleh, S.M. Sait, F.N. Khan // Proceedings of IEEE International Symposium on Circuits and Systems. – 2006. – pp. 5303-5306.

7.2. Допоміжна

11. Kubatova H. FEL-Code: FSM internal state encoding method / H. Kubatova, M. Becvar // Proceedings of 5th International Workshop on Boolean Problems. – Freiberg, 2002. – pp. 109-114.
12. Gupta, B.N.V.M. A state assignment scheme targeting performance and area / B.N.V.M. Gupta, H. Narayanan, M.P. Desai // Proceedings of 12th International Conference on VLSI Design. – 1999. – pp. 378-383.
13. Chyzy M. Evolutionary algorithm for state assignment of finite state machines / M. Chyzy, W. Kosinski // Artificial Intelligence Methods. – Gliwice, 2003. – pp. 51-52.
14. Nedjah N. Evolutionary synthesis of synchronous finite state machines / N. Nedjah, L.M. Mourelle // Evolvable Machines. – Berlin, 2004. – pp. 103-128.
15. Chattopadhyay S. Area conscious state assignment with flip-flop and output polarity selection for finite state machine synthesis – a genetic algorithm approach / S. Chattopadhyay // The Computer Journal. – 2005. – vol. 48 (4). – pp. 443-450.

16. Bader D.A. A parallel state assignment algorithm for finite state machines / D.A. Bader, K. Madduri // Proceedings of IEEE Conference on High-Performance Computing. – Bangalore, 2004. – pp. 297-308.
17. Sklyarov V. Synthesis and implementation of RAM-based finite state machines in FPGAs / V. Sklyarov // Proceedings of Conference on Field Programmable Logic. – Villach, 2000. – pp. 718-728.
18. Barkalov A. Optimization of Moore FSM implemented with CPLD based on PAL macrocells / A. Barkalov, L. Titarenko, S. Chmielewski // Радиотехника. – 2008. – № 155. – pp. 191-195.
19. Bukowiec A. State machines synthesis and implementation into FPGAs with multiple encoding of states / A. Bukowiec, A. Barkalov, L. Titarenko // Radioelectronics and Informatics. – 2008. – № 4. – pp. 43-48.
20. Czerwinski R. Synthesis of finite state machines for CPLDs / R. Czerwinski, D. Kania // International Journal of Applied Mathematics and Computer Science – Special Section: Robot Control Theory. – 2009. – vol. 19 (4). – pp. 647-659.

8. Інформаційні ресурси

21. Intel® FPGAs and Programmable Devices [електронний ресурс]. – Режим доступу: <https://www.intel.ru/content/www/ru/ru/products/programmable.html>
22. FPGAs & 3D ICs [електронний ресурс]. – Режим доступу: <https://www.xilinx.com/products/silicon-devices/fpga.html>
23. Max® II CPLD Features [електронний ресурс]. – Режим доступу: <https://www.intel.ru/content/www/ru/ru/products/programmable/cpld/max-ii/features.html>
24. Intel® eASIC™ Devices [електронний ресурс]. – Режим доступу: <https://www.intel.ru/content/www/ru/ru/products/programmable/asic/easic-devices.html>
25. XST User Guide for Virtex-4, Virtex-5, Spartan-3, and Newer CPLD Devices [електронний ресурс]. – Режим доступу: <http://www.xilinx.com/support...>
26. Xu Y. Describing an $n \log n$ algorithm for minimizing states in deterministic finite automaton [електронний ресурс]. – Режим доступу: <http://www.cs.sun.ac.za...>
27. Slusarczyk A. State assignment techniques – short review [електронний ресурс]. – Режим доступу: <http://web.cecs.pdx.edu/~mperkows...>
28. Perkowski M. Digital design automation – finite state machine design [електронний ресурс]. – Режим доступу: <http://web.cecs.pdx.edu/~mperkows...>